

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-112211

(43) 公開日 平成 6 年 (1994) 4 月 22 日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321		9168-4M	H 0 1 L 21/92	F

審査請求 未請求 請求項の数 1 (全 6 頁)

(21) 出願番号 特願平4-280908

(22) 出願日 平成 4 年 (1992) 9 月 25 日

(71) 出願人 000217228

田中貴金属工業株式会社

東京都中央区日本橋茅場町 2 丁目 6 番 6 号

(72) 発明者 村山 恵二

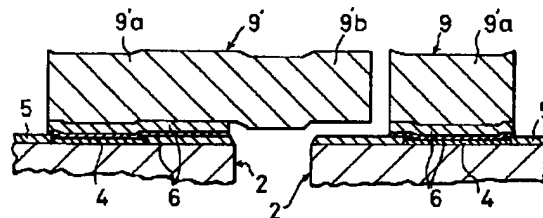
神奈川県平塚市新町 2 番 73 号 田中貴金属  
工業株式会社技術開発センター内

(54) 【発明の名称】 バンプ形成方法

(57) 【要約】 (修正有)

【目的】 半導体素子を配線基板へ実装する際、接続部を明瞭に観察できて、位置ずれすることなく迅速且つ正確に接続できるようにしたバンプの形成方法。

【構成】 ウェハ上に多数形成せる半導体素子 2 の周縁部にダイシングラインに沿って配列形成された電極部 4 上にバンプを形成するに於いて、先ずウェハの全面にバリアメタル 6 をスパッタリング又は蒸着により成膜し、次に厚膜のメッキ用レジストを全面に塗布した後フォトリソグラフにより各電極部位置に電極部全体を含み且つ隣りの半導体素子側に相互に突出する形状の開口部を形成するパターンニングを行い、次いで A u 又は P b - S n のメッキを行って開口部にバンプを形成することから成る方法。



## 【特許請求の範囲】

【請求項1】 ウェハ上に多数形成せる半導体素子の周縁部にダイシングラインに沿って配列形成された電極部上にバンパを形成するに於いて、先ずウェハの全面にバリアメタルをスパッタリング又は蒸着により成膜し、次に厚膜のメッキ用レジストを全面に塗布した後フォトリソグラフにより各電極部位置に電極部全体を含み且つ隣りの半導体素子側に相互に突出する形状の開口部を形成するパターニングを行い、次いでAu又はPb-Snのメッキを行って開口部にバンパを形成し、次にメッキ用レジストを剥離し、さらにバリアメタルをエッチングし、次いで薄膜のカバー用レジストを全面に塗布した後フォトリソグラフにより各バンパの半導体素子上の部分のみを被うようにパターニングを行い、次にバンパの突出部下側のバリアメタルをエッチングし、然る後カバー用レジストを剥離し、半導体素子を裏面からダイシングラインに沿って切断することを特徴とするバンパ形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、ウェハ上に多数形成された半導体素子の電極部上に、半導体素子を配線基板に実装するのに好適なバンパを形成する方法に関する。

## 【0002】

【従来の技術】図20に示すようにウェハ1上に多数形成された半導体素子2は、ダイシングライン3で区画され、ダイシングライン3に沿って図21に示すように電極部4が多数配設され、電極部4以外には配線保護膜5が形成されている。

【0003】半導体素子2の電極部4上にバンパを形成する従来の方法は、先ず図20、21に示すように半導体素子2が多数形成されたウェハ1上の全面に、図22に示すようにバリアメタル6をスパッタリングにより成膜した後、図23に示すように厚膜のメッキ用レジスト7を全面に塗布する。次にフォトリソグラフにより各電極部4の位置のみに図24に示すように開口部8を形成するパターニングを行う。次いで図25に示すようにバリアメタル6をメッキ用電極として湿式メッキ法により開口部8にバンパ9を形成する。次に図26に示すようにメッキ用レジスト7を剥離する。次いで図27に示すように全面に薄膜のカバー用レジスト10を塗布し、バンパ9を被うようにフォトリソグラフにより図28に示すようにカバー用レジスト10をパターニングする。次にパターニングされたカバー用レジスト10をマスクに、バリアメタル6を図29に示すようにエッチングし、個々のバンパ9の電氣的短絡を断つ。然る後図30に示すようにカバー用レジスト10を剥離することで、バンパ形成を完了させていた。

【0004】こうしてバンパ9を形成した半導体素子2は、ウェハ1の表面からダイシングライン3に沿って切断し、フリップチップ方式にて半導体素子2の表面を

図31に示すように配線基板11の表面に向かい合わせ、配線と位置合わせの上接続して実装している。

【0005】ところで、上記のバンパ9の形状では、半導体素子2を配線基板11へ実装する際、図32に示すように半導体素子2の表面と配線基板11の表面が相対する為、接続部を観察しにくく、接続部の位置合わせが困難で、位置ずれの状態で接続されることがある。

## 【0006】

【発明が解決しようとする課題】そこで本発明は、半導体素子を配線基板へ実装する際、接続部を明瞭に観察できて、位置ずれすることなく迅速且つ正確に接続できるようにしたバンパの形成方法を提供しようとするものである。

## 【0007】

【課題を解決するための手段】上記課題を解決するための本発明のバンパ形成方法は、ウェハ上に多数形成せる半導体素子の周縁部にダイシングラインに沿って配列形成された電極部上にバンパを形成するに於いて、先ずウェハの全面にバリアメタルをスパッタリング又は蒸着により成膜し、次に厚膜のメッキ用レジストを全面に塗布した後フォトリソグラフにより各電極部位置に電極部全体を含み且つ隣りの半導体素子側に相互に突出する形状の開口部を形成するパターニングを行い、次いでAu又はPb-Snのメッキを行って開口部にバンパを形成し、次にメッキ用レジストを剥離し、さらにバリアメタルをエッチングし、次いで薄膜のカバー用レジストを全面に塗布した後フォトリソグラフにより各バンパの半導体素子上の部分のみを被うようにパターニングを行い、次にバンパの突出部下側のバリアメタルをエッチングし、然る後カバー用レジストを剥離し、半導体素子を裏面からダイシングラインに沿って切断することを特徴とするものである。

## 【0008】

【作用】上記のバンパ形成方法により形成したバンパは、半導体素子の外側に突出部を有するので、半導体素子を配線基板へ実装すべく半導体素子の表面を配線基板の表面に相対させると、接続部が明瞭に観察され、接続部の位置合わせが容易で、位置ずれの状態で接続されることがなく、迅速且つ正確に接続できる。

## 【0009】

【実施例】本発明のバンパ形成方法の一実施例を図によって説明すると、図20、21に示すようにウェハ1上に多数形成せる半導体素子2の周縁部にダイシングライン3に沿って配列形成された電極部4上にバンパを形成するに於いて、先ず図1、11に示すようにウェハ1の全面、即ちダイシングライン3、電極部4、配線保護膜5上に、バリアメタル(Ti1000Å、Cu1.5μm)6をスパッタリングにより成膜した。次に図2に示すように厚膜のメッキ用レジスト7を35μm全面に塗布した後フォトリソグラフにより各電極部4の位置に図3、12に示

3

すように電極部4全体を含み且つ隣りの半導体素子2側に相互に隣り合わせに傾斜して突出する形状の開口部8'を形成するパターンニングを行った。次いで図4、13に示すようにバリアメタル6をメッキ用電極として湿式メッキ法により開口部8'にバンブ9'を形成した。次に図5、14に示すようにメッキ用レジスト7を剥離し、さらに図6に示すようにバリアメタル6をエッチングした。次いで、図7に示すように薄膜のカバー用レジスト10を1.2 $\mu$ m全面に塗布した後フォトリソグラフにより図8、15に示すように各バンブ9'の半導体素子2上の部分9'aのみを被うようにパターンニングを行った。次にバンブ9'の突出部9'bの下側のバリアメタル6を図9に示すようにエッチングした。然る後図10、16に示すようにカバー用レジスト10を剥離し、半導体素子2を裏面からダイシングラインに沿って切断して、バンブ形成を完了させた。

【0010】このようにして形成したバンブ9'は、図17に示すように半導体素子2の外側に突出部9'bを有するので、半導体素子2を配線基板11へ実装すべく図18に示すように半導体素子2の表面を配線基板11の表面に向かい合わせると、図19に示すようにバンブ9'の突出部9'bが配線基板11の配線12と重なり、接続部が明瞭に観察される。従って接続部の位置合わせが容易で、位置ずれの状態で接続されることがなく、迅速且つ正確に接続できる。

【0011】

【発明の効果】以上の通り本発明のバンブ形成方法によれば、半導体素子を配線基板へ実装すべく半導体素子の表面を配線基板の表面に向かい合わせた際、接続部を明瞭に観察できて、接続部の位置合わせを容易且つ高精度なものにでき、しかも実装に要する時間を大幅に短縮できる半導体素子のバンブを得ることができる。

【図面の簡単な説明】

【図1】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図2】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図3】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図4】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図5】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図6】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図7】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図8】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図9】本発明のバンブ形成方法の一実施例の工程を示

4

す要部縦断面図である。

【図10】本発明のバンブ形成方法の一実施例の工程を示す要部縦断面図である。

【図11】本発明のバンブ形成方法の一実施例の工程を示す要部平面図である。

【図12】本発明のバンブ形成方法の一実施例の工程を示す要部平面図である。

【図13】本発明のバンブ形成方法の一実施例の工程を示す要部平面図である。

10 【図14】本発明のバンブ形成方法の一実施例の工程を示す要部平面図である。

【図15】本発明のバンブ形成方法の一実施例の工程を示す要部平面図である。

【図16】本発明のバンブ形成方法の一実施例の工程を示す要部平面図である。

【図17】本発明のバンブ形成方法の一実施例により形成されたバンブを示す斜視図である。

【図18】図17のバンブにより半導体素子を配線基板に接続する時の状態を示す断面図である。

20 【図19】図18の要部拡大平面図である。

【図20】半導体素子が多数形成されたウェハーの平面図である。

【図21】図20のウェハーにおける半導体素子の電極部を示す拡大斜視図である。

【図22】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図23】従来のバンブ形成方法の工程を示す要部縦断面図である。

30 【図24】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図25】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図26】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図27】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図28】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図29】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図30】従来のバンブ形成方法の工程を示す要部縦断面図である。

【図31】従来のバンブにより半導体素子を配線基板に接続する時の状態を示す断面図である。

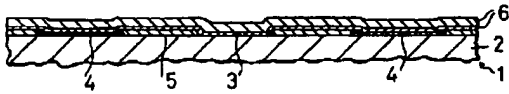
【図32】図31の要部拡大平面図である。

【符号の説明】

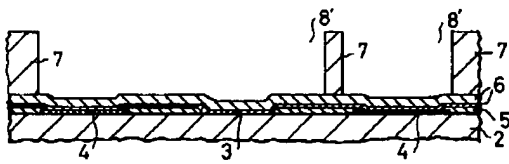
- 1 ウェハー
- 2 半導体素子
- 3 ダイシングライン
- 4 電極部

- 5 配線保護膜  
6 バリアメタル  
7 厚膜のメッキ用レジスト  
8' 開口部

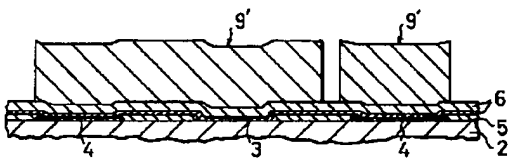
【図1】



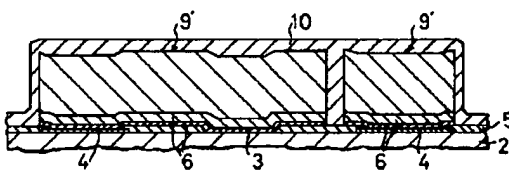
【図3】



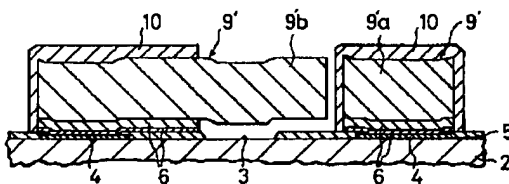
【図5】



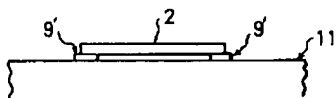
【図7】



【図9】



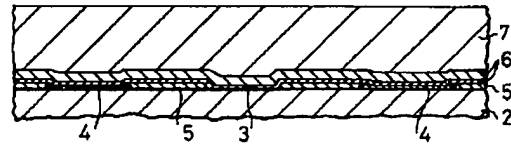
【図18】



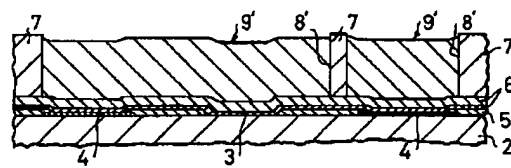
6

- 9' バンプ  
9' a バンプの半導体素子上の部分  
9' b バンプの突出部  
10 カバー用レジスト

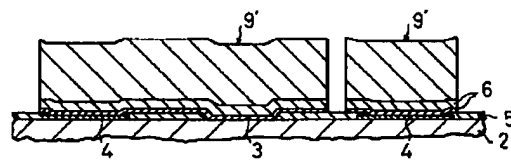
【図2】



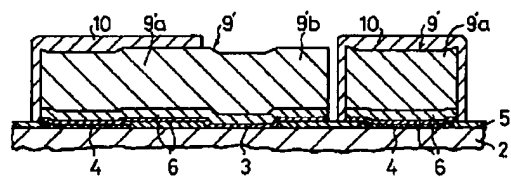
【図4】



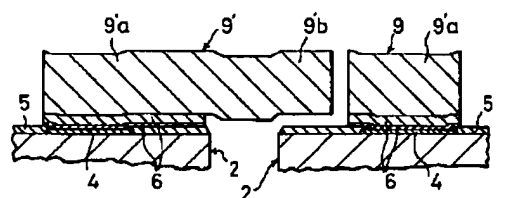
【図6】



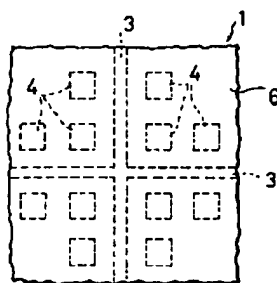
【図8】



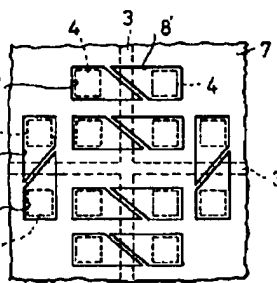
【図10】



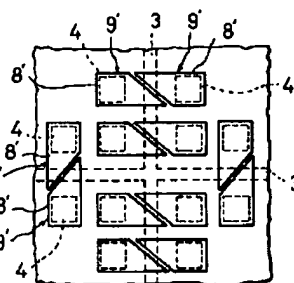
【図11】



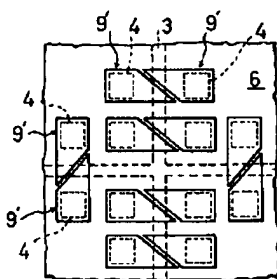
【図12】



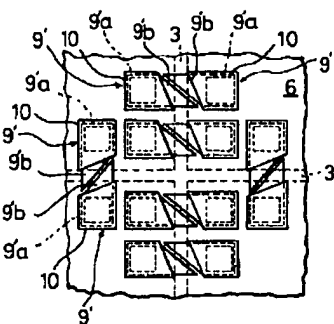
【図13】



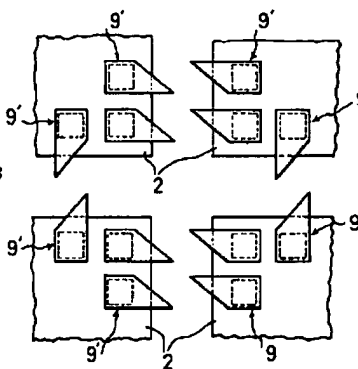
【図14】



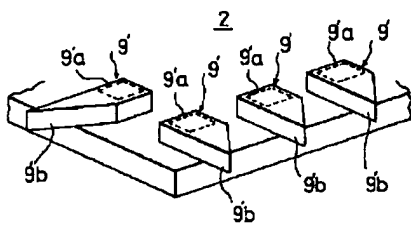
【図15】



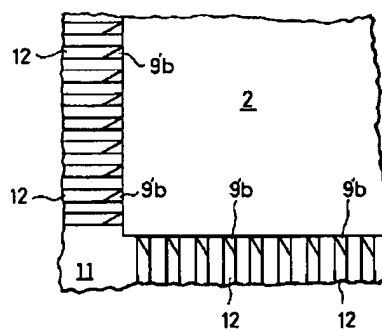
【図16】



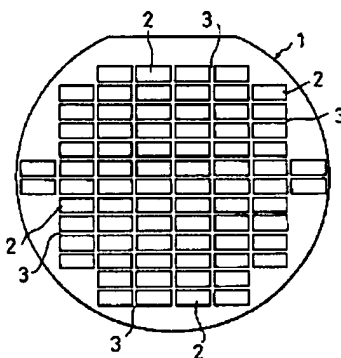
【図17】



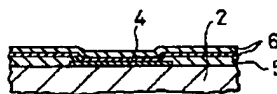
【図19】



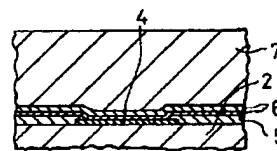
【図20】



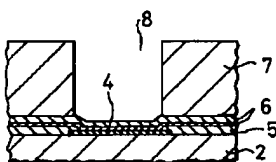
【図22】



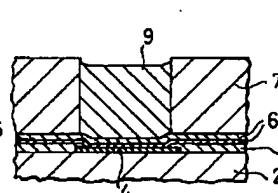
【図23】



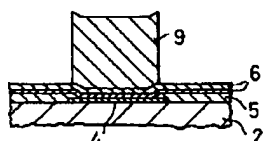
【図24】



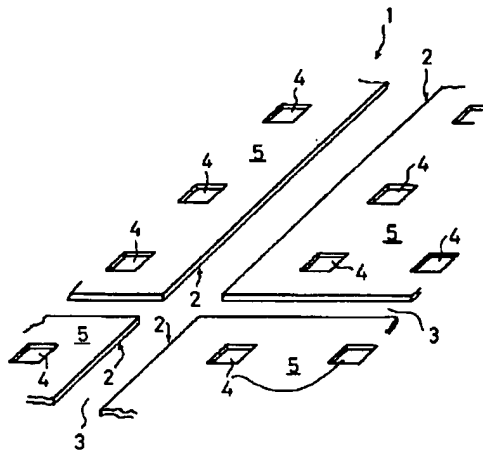
【図25】



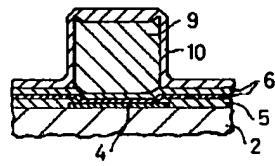
【図26】



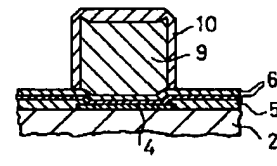
【図21】



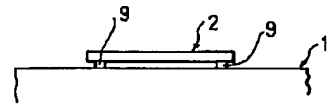
【図27】



【図28】

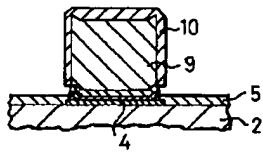


【図31】



【図32】

【図29】



【図30】

